

【特許請求の範囲】**【請求項 1】**

固体撮像素子と等価な負荷を備えた固体撮像素子等価負荷回路と、固体撮像素子から出力される出力信号に対応する映像信号を生成する映像信号生成回路と、を具備することを特徴とする映像信号発生装置。

【請求項 2】

固体撮像素子と等価な負荷を備えた固体撮像素子等価負荷回路と、固体撮像素子から出力される出力信号に対応する映像信号を生成する映像信号生成回路と、を具備する映像信号発生装置を用いて、固体撮像素子を搭載した電子式内視鏡が接続される内視鏡用ビデオプロセッサの検査を行う内視鏡用ビデオプロセッサの検査方法。

10

【請求項 3】

前記映像信号発生装置は複数種類の固体撮像素子に対応する複数種類の固体撮像素子等価負荷を具備し、かつ前記内視鏡用ビデオプロセッサが複数種類の固体撮像素子に対応する場合には、前記映像信号発生装置及び計測を行う計測器を制御装置に接続し、前記制御装置の制御下で前記複数種類の固体撮像素子等価負荷を選択して、前記計測器の計測データを用いて前記映像信号発生装置の調整を自動的に行う請求項 2 記載の内視鏡用ビデオプロセッサの検査方法。

【請求項 4】

前記固体撮像素子等価負荷回路は複数種類の固体撮像素子等価負荷を具備し、制御装置を用いて切替制御することにより自動で複数種類の固体撮像素子等価負荷を切り替え可能にしたことを特徴とする請求項 1 記載の映像信号発生装置。

20

【請求項 5】

前記固体撮像素子等価負荷回路は定数が可変の素子を用いた固体撮像素子等価負荷回路を具備し、各素子の値を変化させることで複数種類の固体撮像素子等価負荷を実現可能としたことを特徴とする請求項 1 記載の映像信号発生装置。

【請求項 6】

前記固体撮像素子は電荷結合素子であり、前記映像信号は電荷結合素子から出力される CCD 出力信号であることを特徴とする請求項 1 記載の映像信号発生装置。

【請求項 7】

前記映像信号生成回路は、電荷結合素子出力信号のリセット部に相当するパルスを生成するリセットパルス生成回路と、各種チャートのデータを格納しているメモリ回路と、該メモリ回路から得たパルスを D/A 変換し、電荷結合素子出力信号のデータ部に相当するパルスを生成する D/A コンバータ回路と、上記リセットパルス生成回路から出力されたパルスと上記 D/A コンバータ回路から出力されたデータパルスとを合成し、電荷結合素子出力信号として出力する電荷結合素子出力信号生成回路と、この電荷結合素子出力信号にある一定量の遅延を与える遅延回路とを備えていることを特徴とする請求項 6 に記載の映像信号発生装置。

30

【請求項 8】

前記リセットパルス生成回路は内視鏡用ビデオプロセッサから、その内部の基板で生成された固体撮像素子駆動パルスを得、これを基にしてこれに同期した電荷結合素子出力信号のリセット部に相当するパルスを生成することを特徴とする請求項 7 記載の映像信号発生装置。

40

【請求項 9】

前記リセットパルス生成回路は電荷結合素子出力信号のリセット部に相当するパルスの幅と振幅を決定する素子を可変にすることで、このパルスの幅と振幅を自由に変更することができるということを特徴とする請求項 7 記載の映像信号発生装置。

【請求項 10】

前記 D/A コンバータ回路は電荷結合素子出力信号のデータ部に相当するパルスの幅と振幅を決定する素子を可変することで、このパルスの幅と振幅を自由に変更することができるということを特徴とする請求項 7 記載の映像信号発生装置。

50

【請求項 1 1】

前記電荷結合素子出力信号生成回路はリセットパルス生成回路から得た電荷結合素子出力信号のリセット部に相当するパルスとD/Aコンバータ回路から得た電荷結合素子出力信号のデータ部に相当するパルスを合成することで電荷結合素子出力信号を生成し、この信号の振幅を決定する素子を可変にすることで、この振幅を自由に変更することができるということを特徴とする請求項7記載の映像信号発生装置。

【請求項 1 2】

前記遅延回路は内視鏡のケーブル等の長さに起因する遅延時間に相当する遅延量を発生することを特徴とする請求項7記載の映像信号発生装置。

【請求項 1 3】

前記遅延回路は内視鏡のケーブル等の長さに起因する遅延時間に相当する遅延量を発生する遅延部を複数具備しており、自動で遅延部を切り替え可能にしたことを特徴とする請求項7記載の映像信号発生装置。

【請求項 1 4】

前記遅延回路は遅延時間に相当する遅延量を決定する素子を可変にすることで遅延量を自由に変更可能にしたことを特徴とする請求項7記載の映像信号発生装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像素子に対する信号処理を行う内視鏡用ビデオプロセッサ等の映像信号処理装置を検査或いは調整するための映像信号発生装置に関する。

【背景技術】

【0002】

例えば内視鏡装置においては、例えば電荷結合素子(CCDと略記)等の固体撮像素子を搭載し、体腔内等に挿入される挿入部を備え、内視鏡検査を行う電子内視鏡或いは光学式内視鏡に装着され、固体撮像素子を搭載したテレビカメラ(これらを電子式内視鏡と総称する)が広く採用される。

この場合、CCDを搭載したTVカメラや電子内視鏡は、CCDを駆動する駆動系と共に、駆動されたCCDから出力される出力信号に対する(モニタで表示する)標準の映像信号生成の信号処理を行う信号処理系とを備えた映像信号処理装置としての内視鏡用ビデオプロセッサ(或いはカメラコントロールユニットともいう。以下では(内視鏡用)ビデオプロセッサの表記を用いる)に接続される。そして、このビデオプロセッサで標準の映像信号生成の処理が行われ、モニタにはCCDで撮像された内視鏡画像が表示される。

【0003】

このビデオプロセッサの検査工程には、各基板ごとに調整、及び検査を行う基板検査工程、そして、さらにそれらを組み合わせた状態、つまりシステム全体で検査を行う本体検査工程の2つの検査工程がある。

【0004】

この場合検査内容は以下のようなものである。

基板の検査(調整)は、

- (1) CCDを駆動する為のパルス発生部の調整、
 - (2) CDSパルスの位相調整、
 - (3) CCDから得られた映像信号のゲイン調整、
 - (4) その他レベル調整、
- といった流れで行われる。

【0005】

CCD駆動パルスの調整においては、その位相やパルス幅、振幅により画質が大きく左右される為、これらを厳しく管理する必要がある。また、CDSパルスの調整も同様にその位相の管理が非常に重要である。

【0006】

10

20

30

40

50

図 2 4 に示すように C C D から出力される C C D 出力信号としての映像信号 (C C D o u t) に対して 2 重相関サンプリング (C D S と略記) を行う 2 つの C D S パルス 1 (S H P) 、 C C C D S パルス 2 (S H P) の出力タイミングを調整する必要がある。

【 0 0 0 7 】

なお、図 2 4 では C C D から出力される映像信号 (C C D o u t) として簡単化のため、実線で示すようにリセット部等の波形を角張った歪みの少ない波形で示しているが、従来例では実際には 2 点鎖線で示すように丸まった歪みの大きな波形となり、リセット部、フィードスルー部、データ部の境界部分は明確にならない。

また、基板の検査では、白、カラーバー、グレースケールといった各種のチャートを撮像し、画質の検査を行っている。

10

【 0 0 0 8 】

上記 (1) ~ (4) の調整、検査を行う時、従来は図 2 5 に示すように実際に C C D 8 1 を搭載した基板 8 2 と、内視鏡 (スコープ) で用いられているスコープケーブル 8 3 と、レンズ、絞り、 N D フィルタを有するユニット 8 4 とを備えた検査用治具 (ヘッド治具) 8 5 を用いて行っていた。そして、このスコープケーブル 8 3 の端部のコネクタ 8 6 を検査及び調整しようとするビデオプロセッサに接続してそのビデオプロセッサを検査及び調整する。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかし、内視鏡用ビデオプロセッサは複数種類の C C D に対応している為、基板検査でヘッド治具 8 5 を用いる場合、当然同じ数のヘッド治具が必要となってしまう。

つまり、図 2 6 に示すように複数種類の C C D 8 1 a 、 8 1 b 、 8 1 c 、 ... に対応している (内視鏡用) ビデオプロセッサ 6 を検査する場合には、光源 8 8 で白チャート 8 9 を照明した状態に設定し、ヘッド治具 8 5 a 、 8 5 b 、 8 5 c 、 ... を順次ビデオプロセッサ 6 に接続して調整を行う。

20

【 0 0 1 0 】

この場合、ヘッド治具 8 5 a 等をビデオプロセッサ 6 に接続する場合に接続用多芯ケーブル 9 0 を介して接続する。また、調整のためにビデオプロセッサ 6 の患者基板 6 A における各部の波形をオシロスコープ 9 1 により観測する。

30

【 0 0 1 1 】

この場合、 C C D 8 1 a 等はサンプル毎にバラツキがある為、ヘッド治具 8 5 a 等に搭載してある C C D 8 1 a が破損してしまった場合、他の C C D に交換したとしても、以前と同じ調整ができるとは限らない。

また、 1 個の C C D 8 5 a 等を基準にしてビデオプロセッサ 6 の (患者基板 6 A) を調整を行う必要がある為、検査のラインは 1 ラインしか設けることができないという問題点があった。

【 0 0 1 2 】

さらに、複数種のヘッド治具を用いて検査する場合、検査毎にビデオプロセッサ - ヘッド治具間のコネクタを接続しなおす必要があり、特に本体検査では検査毎に撮像するチャートを交換する等、多くの工数を必要としていた。

40

【 0 0 1 3 】

つまり、図 2 7 に示すようにヘッド治具 8 5 a をビデオプロセッサ 9 2 に接続して上記基板の検査 (1) を行う。この場合、検査 (1) に対応したチャート 8 9 a を用いる。また、ビデオプロセッサ 9 2 の出力信号をモニタ 9 3 に接続して表示したり、計測器 9 4 a 、 9 4 b 等で計測する。

【 0 0 1 4 】

ヘッド治具 8 5 a での検査 (1) の検査が終了したら、ヘッド治具 8 5 b に接続し直して同様に基板の検査 (2) を行う。この場合にも、検査 (2) に対応したチャート 8 9 b を用いる。

50

【 0 0 1 5 】

このようにして複数種類のヘッド治具での検査(2)が終了したら、次の基板の検査(3)を行うことになる。

このように従来例ではコネクタの交換や、使用するチャートを交換する等、多くの工数を必要としていた。

【 0 0 1 6 】

(発明の目的)

本発明は、上述した点に鑑みてなされたもので、実際にCCD等の固体撮像素子を搭載した治具を用いることなく、固体撮像素子に対する信号処理を行う内視鏡用ビデオプロセッサの検査、調整を行うことができる映像信号発生装置を提供することを目的とする。

10

【 0 0 1 7 】

また、本発明は容易かつ簡単に検査、調整ができ、しかもバラツキが少なく、高精度の調整状態に内視鏡用ビデオプロセッサを設定できる映像信号発生装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

固体撮像素子と殆ど等価な負荷を備えた固体撮像素子等価負荷回路と、前記固体撮像素子の出力信号に対応する映像信号を生成する映像信号生成回路と、を具備して映像信号発生装置を構成することにより、実際に固体撮像素子を搭載した治具を用いることなく、検査対象となる内視鏡用ビデオプロセッサの検査、調整を行うことができるようにしている。

20

【発明の効果】

【 0 0 1 9 】

本発明によれば、実際にCCD等の固体撮像素子を搭載した治具を用いることなく、検査対象となる内視鏡用ビデオプロセッサの検査、調整を行うことができる。

また、実際にCCD等の固体撮像素子を搭載した治具を用いなくて済むため、検査、調整を簡単に行うことができる。

【発明を実施するための最良の形態】

【 0 0 2 0 】

以下、図面を参照して本発明の実施の形態を説明する。

30

【実施例1】

【 0 0 2 1 】

図1ないし図16は本発明の実施例1に係り、図1は本発明の実施例1の映像信号発生装置の概略の構成を示し、図2は映像信号発生装置の各部の構成を波形図と共に示し、図3はCCD等価負荷回路の回路構成を示し、図4は従来例(図4(B))と比較してビデオプロセッサを検査する様子を示し(図4(A))、図5は各種のCCDに対応したCCD等価負荷回路の回路構成例を示し、図6は図5の変形例に相当するCCD等価負荷回路の回路構成例を示し、図7は図2のCCD等価負荷回路及びアッテネータの具体的な回路構成例を示し、図8は図2のリセットパルス生成部の具体的な回路構成例を示し、図9は図2のPLL/遅延回路の遅延回路を具体的に示し、図10は図2のD/Aコンバータの出力部に設けたD/AコンバータDATA生成部の具体的な回路構成例を示し、図11は図2のCCDout生成部の具体的な回路構成例を示し、図12は映像信号発生装置のPLL/遅延回路に遅延回路が設けてあることを示し、図13は図12の遅延回路の遅延量が実際には切り替えて選択可能な構成例を示し、図14は図8のリセットパルス生成部におけるパルス幅を可変にした変形例の具体的な回路構成例を示し、図15は図8のリセットパルス生成部におけるパルス幅をディレイラインを用いて可変にした変形例の具体的な回路構成例を示し、図16は従来例(図16(B))と比較して実施例1で生成されるCCDoutの出力波形やこの出力波形によりCDSパルスの位相調整の様子の説明図(図16(A))を示す。

40

【 0 0 2 2 】

50

図 1 に示すように本発明の実施例 1 の映像信号発生装置 1 は、実際の固体撮像素子としての例えば電荷結合素子（CCD と略記）と等価負荷に設定された CCD 等価負荷回路 2 と、この CCD 等価負荷回路 2 に駆動信号（駆動パルス）が印加された場合に、実際の CCD に印加された場合とほぼ等価な CCD 出力信号を出力（発生）する映像信号発生回路 3 とを有する。

【0023】

また、この映像信号発生装置 1 の例えば前面に設けたコネクタ 4 は、接続ケーブル 5 を介して検査対象となる映像信号処理装置としての（内視鏡用）ビデオプロセッサ 6 が接続される。また、ビデオプロセッサ 6 の患者基板 6 A には波形等を観測するオシロスコープ 7 が接続される。

10

【0024】

図 2 は図 1 に示した映像信号発生装置 1 の内部構成と各部における信号波形も示しており、この映像信号発生装置 1 は、検査（或いは調整）対象となるビデオプロセッサ（図 2 では VP と略記）6 と接続することで、ビデオプロセッサ 6 側の駆動パルスと同期し、実際の CCD から出力される映像信号とほぼ等価な映像信号をこの映像信号発生装置 1 からビデオプロセッサ 6 へ出力する。

【0025】

なお、後述するように本実施例 1 では、実際の CCD により出力される映像信号とほぼ等価な映像信号を発生するようにしているが、実際の CCD の場合には歪みが大きい波形になるのに対して、（本実施例 1 では）歪みの少ない理想的に近い波形の映像信号を発生

20

するようにしていることも特徴の 1 つとなっている。

そして、歪みの少ない波形で出力することにより、CDS 回路における CDS パルスの出力タイミング（位相）調整を容易に、かつ、バラツキを抑制して行えるようにしている。

このようにして、実際の CCD とほぼ等価な映像信号をビデオプロセッサ 6 へ出力できるようにして、CCD を搭載したヘッド治具を用いることなく、上記（2）の検査（調整）、つまり CDS パルスの位相調整等を行うことができるようにしている。

【0026】

図 2 に示すように（検査対象となる）ビデオプロセッサ 6（の駆動パルス生成部）から出力される CCD 駆動信号（図 2 では DRIVE PULSE）は CCD 等価負荷回路 2 に印加される。この場合の CCD 駆動信号のパルス波形を波形 W1 で示す。この駆動信号は CCD 等価負荷回路 2 の負荷に応じて波形が変形したり或いは殆ど変形しないでその出力端から例えば波形 W2 のようになって出力される。なお、図 2 では CCD 等価負荷回路 2 以外のアッテネータ 11 等は映像信号発生回路 3 を形成している。

30

【0027】

この CCD 等価負荷回路 2 の出力端からの信号は、（例えば後段側での信号処理を容易にするための）アッテネータ 11 で減衰された後、リセットパルスを生成するリセットパルス生成部 12 及び駆動パルスに同期した CCD 出力信号を生成する処理を行う PLL / 遅延回路 13 に、例えば W3 の波形にされて出力される。

【0028】

また、アッテネータ 11 により（波形 W3 よりも大きく）減衰された W4 の波形の信号は波形観測を行うオシロスコープ 7 に出力される。

40

リセットパルス生成部 12 では、信号 W3 から波形 W5 のようなりセットパルスを生成して、CCD out（CCD 出力信号）生成部 14 に出力する。

【0029】

一方、PLL / 遅延回路 13 は、これに入力される信号と同期した W6 の波形のクロック CLK を生成し、メモリ 15 及び DAC LK 生成部 16 とに出力する。

メモリ 15 には各種チャートに相当するデータが格納されており、クロック CLK の印加により対応する例えば波形 W7 のデータが読み出され D/A コンバータ 17 に出力される。

50

【0030】

また、D A C L K生成部16はP L L / 遅延回路13から出力されるクロックC L Kの位相を調整して、D / A変換用に用いられる例えば波形W8のクロックD A C L Kを生成し、D / Aコンバータ17に印加する。

【0031】

D / Aコンバータ17は、D / A変換用クロックD A C L Kが印加されることにより、信号(データ)入力端から入力される(メモリ15の)デジタルデータをアナログデータに変換し、この変換された例えば波形W9のデータをC C D o u t生成部14に出力する。なお、D / Aコンバータ17には後述する図10に示すようにD / AコンバータでD / A変換出力を減衰してC C D o u t生成部14にC C D _ D A T Aを出力するD A T Aパルス生成部41を有する。

10

【0032】

C C D o u t生成部14はこの波形W9のデータと、リセットパルス生成部12から出力されたリセットパルスとの両信号を合成して、波形W10のC C D o u tを生成し、ビデオプロセッサ患者基板に出力する。

【0033】

このようにして映像信号発生装置1は、この映像信号発生装置1に(検査対象となるビデオプロセッサ6から)入力される駆動パルスに同期して実際のC C Dに印加した場合とほぼ等価のC C D出力信号としてのC C D o u tを生成し、このC C D o u tをビデオプロセッサ患者基板6に出力する。

20

そして、ビデオプロセッサ6はこのC C D o u tにより上記(2)のC D Sパルスの位相調整等を行うことができるようにしている。

【0034】

また、本実施の形態では、ビデオプロセッサ6(の患者基板6A)からの駆動パルスは駆動パルス検知部18にも入力されるようにしており、この駆動パルス検知部18により、各種の駆動パルスがビデオプロセッサ6から出力されているかを検知し、正常に検知した場合にはL E D 19を点灯させ、検知できない場合には消灯して各種の駆動パルスの出力の有無を確認できるようにしている。

【0035】

この映像信号発生装置1には、図2のC C D等価負荷回路2として、基本的には図3に示すように例えば抵抗R1と、抵抗R2及びコンデンサC1の直列回路とを並列に接続したC C D等価負荷回路Zにより各種C C Dと等価な負荷が搭載されている。

30

【0036】

そして、ヘッド治具に実際に搭載したC C Dの場合に観測される駆動波形を再現することができるようにしている為、実際にC C Dを搭載したヘッド治具やC C Dを用いることなく上記(1)の検査(調整)、つまりC C Dを駆動するC C D駆動パルス発生部8(図4参照)の調整を確実に行うことができるようにしている。

【0037】

ここで、上記図3に示したC C D等負荷回路Zの抵抗R1等の各定数の値は、各種C C D毎に異なるロットから例えば複数個のサンプルを抽出し、算出した値の平均をとったものである。

40

【0038】

図1に示すこの映像信号発生装置1による検査対象となるビデオプロセッサ6を検査する方法は、従来例と対比してその概略を示すと図4(A)のようになる。ここで、図4(B)は従来例による検査方法に相当する。

【0039】

図4(A)に示すようにビデオプロセッサ6(のビデオプロセッサ患者基板6)に設けられたC C D駆動パルス生成部8で生成されたC C D駆動パルスP(その波形を符号9で示している)は接続ケーブル5を経て映像信号発生装置1のC C D等価負荷回路2に印加される。

50

【 0 0 4 0 】

従来例では図 4 (B) に示すようにビデオプロセッサ 6 (のビデオプロセッサ患者基板 6) に設けられた C C D 駆動パルス生成部 8 で生成された C C D 駆動パルス P (その波形は符号 9 で示している) は接続用多芯ケーブル 9 0 及びこの接続用多芯ケーブル 9 0 が選択的に接続された例えばスコープケーブル 8 3 a を経てヘッド治具 8 5 a の C C D 8 1 a に印加される。

【 0 0 4 1 】

また、従来例ではヘッド治具 8 5 a の C C D 8 1 a により検査が終了すると、別のヘッド治具 8 5 b に接続され、その C C D 8 1 b により検査が行われるようになる。

【 0 0 4 2 】

なお、本実施の形態では、C C D 等価負荷回路 2 の基本的な構成を図 3 に示した C C D 等価負荷回路 Z は C C D の種類が異なると、その値も異なる。つまり、本実施の形態では、C C D 等価負荷回路 2 は複数種類の C C D に対応して図 5 に示すように切替スイッチ (或いはリレー) 2 1 a 、 2 1 b と、複数種類の C C D と等価な C C D 等価負荷回路 Z 1 , Z 2 , ... 、 Z n とにより基本的に構成されている。

【 0 0 4 3 】

このように複数種類の C C D と等価な C C D 等価負荷回路 Z 1 , Z 2 , ... 、 Z n を選択或いは切り替えることにより種類が異なる C C D の場合にも対応できるようにしている。ここで、C C D 等価負荷回路 Z 1 等は図 3 の C C D 等価負荷回路 Z と抵抗 R 1 等の値が異なっている。

【 0 0 4 4 】

この場合、切替スイッチ (或いはリレー) 2 1 a 、 2 1 b の切り替えを切替ボタン (或いはレバー) 2 2 の手動操作で行うことができるようにしている。なお、後述する実施例 2 では、例えばパーソナルコンピュータ (以下、P C と略記) からの制御信号で行うようにして検査を自動化できるようにしている。

【 0 0 4 5 】

図 5 では複数の C C D 等価負荷回路 Z 1 , Z 2 , ... 、 Z n を切り替えるようにしているが、図 6 に示す C C D 等価負荷回路 2 のように抵抗 R 1 、 R 2 及びコンデンサ C 1 の定数を可変にしておくことで、複数種の C C D 等価負荷を 1 つの回路で実現することも可能である。

【 0 0 4 6 】

また、図 2 のメモリ 1 5 は、白、カラーバー、グレースケール等、複数のチャートのデータを格納した R O M などで構成されており、これらのデータは図示しない切替スイッチによりアドレスの一部を切り替える等して、検査工程に応じて必要とされるデータを出力できるようにしている。

【 0 0 4 7 】

図 2 に示した C C D 等価負荷回路 2 及びアッテネータ 1 1 の具体的な構成を図 7 に示し、リセットパルス生成部 1 2 の具体的な構成を図 8 に示し、P L L / 遅延回路 1 3 の具体的な構成を図 9 に示し、D / A コンバータ 1 7 の出力部におけるデータパルス生成部の具体的な構成を図 1 0 に示し、図 2 の C C D o u t 生成部 1 4 の具体的な構成を図 1 1 に示す。

【 0 0 4 8 】

図 7 に示すように C C D 駆動パルスが印加される端子は抵抗 R 1 1 , R 1 2 及びコンデンサ C 1 1 で構成された C C D 等価負荷回路 2 で終端され、この C C D 等価負荷回路 2 で終端された端子にはアッテネータ 1 1 が接続されている。

【 0 0 4 9 】

図 7 に示すアッテネータ 1 1 は抵抗 R 1 3 ~ R 3 5 と、コンデンサ C 1 2 ~ C 1 6 、トランジスタ Q 1 ~ Q 3 、演算アンプ U 1 , U 2 とにより構成され、演算アンプ U 2 等で形成される減衰率調整部における可変抵抗 R 3 3 の値により減衰率を可変設定できる。

【 0 0 5 0 】

10

20

30

40

50

なお、図7では簡単化のため、リセットパルス生成部12（及びPLL/遅延回路13とに）に出力する1つの減衰率調整部の構成を示し、実際には図2で示すようにオシロスコープ7側とリセットパルス生成部12側とに出力する減衰率調整部が設けてある。

【0051】

また、図7では図3で示したように1つの場合のCCD等価負荷回路ZによるCCD等価負荷回路2の構成で示してあるが、実際には図5に示すように（図3のR1の抵抗値等の定数の値を変えて構成した）複数のCCD等価負荷回路Z1、Z2、...、ZnによりCCD等価負荷回路2は構成されている。ここで、Z1、Z2、...、Znはそれぞれ種類等異なるCCDと等価な負荷となる回路に設定されている。

【0052】

図8に示すリセットパルス生成部12は、アッテネータ11からの出力信号（図8ではRESETと表記）のパルス幅を切り出して出力するパルス幅調整回路31と、このパルス幅調整回路31の出力パルスからリセットパルスを作成するリセットパルス作成回路32とからなる。

【0053】

パルス幅調整回路31は、インバータ回路U11～U13及びアンド回路14と、抵抗R41～43と、コンデンサC21、C21とから構成される。また、リセットパルス作成回路32は、抵抗R44～R62と、ダイオードD11～D14と、トランジスタQ11～Q19と、コンデンサ23とから構成されている。

【0054】

そして、パルス幅調整回路31でリセットパルスのパルス幅を調整し、リセットパルス作成回路32における可変抵抗R55でリセットパルスのレベルを調整するようにしている。

【0055】

図9に示すPLL/遅延回路13は、アッテネータ11からの出力信号（図9ではRESETと表記）が入力される位相比較器34と、この位相比較器34の出力信号における低域信号成分を通すループフィルタ35と、このループフィルタ35から出力される信号のレベルに応じて発振周波数を変えて出力する電圧制御発振器（VCOと略記）36と、このVCO36の出力を（VCO36の電圧制御発振特性を補償する分周比となる）1/Nに分周して位相比較器34に入力させる分周回路37とからなるPLL回路38と、VCO36の出力信号に対して時間遅延を行う遅延回路39とから構成されている。

この遅延回路39は、インバータ回路U21及びU22と、抵抗65及びコンデンサC25とから構成されている。

【0056】

図10に示すようにD/Aコンバータの出力信号が入力されるデータパルス生成部41は、ほぼ1/10に減衰するアッテネータ部42と、このアッテネータ部42の後段に設けたバッファ部43とからなる。

アッテネータ部42は抵抗R71～R78、トランジスタG21～Q23からなり、バッファ部43はコンデンサC31、C32、抵抗R79～R88、トランジスタオQ24～Q27からなる。このデータパルス生成部41の出力信号CCD_DATAはCCD output生成部14に入力される。

【0057】

図11に示すCCD output生成部14は、リセットパルス生成部12からの出力信号（CCD_RESET）とデータパルス生成部41の出力信号（CCD_DATA）とを合成して出力する。

このCCD output生成部14は、抵抗R91～R101と、トランジスタQ31～Q34とから構成されている。そして、可変抵抗R93とR95との抵抗値を可変することにより、CCD outputの信号レベル（振幅）を可変できるようにしている。

【0058】

また、ビデオプロセッサ6は複数のCCDに対応していると上述したが、これらのCC

10

20

30

40

50

Dはそれぞれ各種内視鏡に搭載され、使用目的によってその形状や長さが異なっている為、CCDから出力された映像信号を伝送するケーブルも搭載された内視鏡によって異なる。

【0059】

従って、CCDから出力された映像信号を、検査の対象となるビデオプロセッサ6の基板側でオシロスコープ等を用いて観測すると、その伝播遅延時間はCCDによって異なってくる。

【0060】

このようにCCDによって遅延時間が異なる為、図28(A)に示すように異なるヘッド治具(A)85a、ヘッド治具(B)85bを用いた時のそのヘッド治具(A)85a、ヘッド治具(B)85b出力のビデオプロセッサ6に入力される入力信号の遅延時間 t_{d1} 、 t_{d2} は、図28(B)に示すようにヘッド治具(A)85a、ヘッド治具(B)85bにおける主にスコープケーブル83a、83bの長さによって異なる。

なお、図28(B)に示す出力信号の実線及び2点鎖線で示す波形に関しては図24の場合と同様である。

【0061】

これに対応して、本実施例1における映像信号発生装置1から出力された映像信号をビデオプロセッサ6側で観測した場合もある遅延時間が生ずるように映像信号発生装置1は各種CCDを搭載した内視鏡(或いはテレビカメラ)に応じた映像信号を出力するように設定されている。

【0062】

つまり、映像信号発生装置1には、図28の主にスコープケーブル83a、83bによる遅延時間に相当する遅延量を持つ遅延回路39が図12に示すようにPLL/遅延回路13に設けられている。また、図9でも示している。

この遅延回路39は実際には図13に示すようにそれぞれ異なる遅延量 T_1 、 T_2 、...、 T_n に設定された遅延回路39a、39b、...、39nを用いて切り替えることができるようにしている。

【0063】

つまり図13に示すように遅延回路39は、切替スイッチ(或いはリレー)23a、23bと、それぞれ遅延量が異なる遅延回路39a、39b、...、39nと、切替スイッチ23a、23bを連動して切り替える切替ボタン(又はレバー)24とから構成されている。

【0064】

そして、図12に示すように接続ケーブル5等による遅延量が t_{d0} の場合において、遅延回路39aを選択した場合にはケーブル5等による遅延量 t_{d0} を含めて全体の遅延量が t_{d1} となるように設定している。つまり、遅延量 T_1 は、 $T_1 = t_{d1} - t_{d0}$ に設定され、同様に遅延量 T_2 は、 $T_2 = t_{d2} - t_{d0}$ に設定されている。

【0065】

このようにして、図28(A)に示した主にスコープケーブル83a、83bの長さ起因する信号の遅延時間を遅延回路39に設けた複数の遅延回路39a、39b等を切り替えて使用することにより等価的に実現している。

【0066】

また、図8に示すリセットパルス生成部12におけるパルス幅調整回路31を図14に示すリセットパルス生成部12Bのように例えば抵抗41をその抵抗値を可変設定できる可変抵抗41を用いてリセットパルスのパルス幅を調整するパルス幅調整回路31Bを構成しても良い。

【0067】

図14のリセットパルス生成部12Bは可変抵抗41以外の構成は図8と同様の構成である。

このようにすることにより、リセットパルスのパルス幅を可変設定できるようにしてい

10

20

30

40

50

る。

【0068】

また、図15に示すリセットパルス生成部12Cのようにパルス幅調整回路31Cに例えばディレイラインU15を用いてリセットパルスのパルス幅を調整するようにしても良い。

【0069】

本実施例1では以下に説明するように、固体撮像素子(具体的にはCCD)と等価負荷となる(固体撮像素子等価負荷回路としての)CCD等価負荷回路2と、検査対象となるビデオプロセッサ6からCCDを駆動する駆動信号を印加した場合に、その駆動信号と同期して実際のCCDから出力されるCCD出力信号(映像信号)とほぼ等価なCCD出力信号(映像信号)を発生する映像信号発生回路3とを設けることにより、実際にCCDを搭載したヘッド治具を不必要として、検査対象となるビデオプロセッサ6の検査、調整を行えるようにしていることが大きな特徴となっている。

10

【0070】

次に本実施例1の作用を図1、図2等を参照して説明する。まず、図1に示すように本実施例1の映像信号発生装置1に検査対象のビデオプロセッサ6を接続し、また、ビデオプロセッサ6の患者基板6Aにおける各部をオシロスコープ7で波形観察できるようにする。そして、映像信号発生装置1及びビデオプロセッサ6等の電源を投入して検査を開始する。

【0071】

ビデオプロセッサ6の患者基板6Aから、各種CCD駆動パルスが映像信号発生装置1に入力される。図7にも示すように入力信号はCCD等価負荷2で終端されている。図2の波形W3に示すように、振幅の大きい駆動パルス(波形W1, W2)は後段のブロックで処理しにくい為、アッテネータ11で5Vppにアッテネートされる。

20

【0072】

アッテネータ11で減衰されたCCD駆動パルスのうち、水平伝送パルス(S)がリセットパルス生成部12に入力される。ここであるパルス幅のパルスを切り出し、これをさらにアッテネートしたもの(CCD_RESET)を出力する(このパルス幅と振幅は図8に示すように可変である)。

【0073】

また、上記水平伝送パルスSはPLL/遅延回路13にも入力される。ここでは水平伝送パルスSと同期した基準クロックCLKを生成しており、さらにこれは上述した(例えば図9に示す)遅延回路39を介することにより、ある遅延量を持って他のブロックに出力される。

30

【0074】

このクロックCLKを基に動作するメモリ15には各種チャートのデータが格納されており、指定されたチャートのデータが出力される。

このクロックCLKはDACLK生成部16にも入力され、DACLK生成部16はクロックCLKの位相、パルス幅を調整し、D/Aコンバータ17で用いられる基準CLK(DACLK)を生成する。

40

【0075】

D/Aコンバータ17は、この基準クロックDACLKを基に、メモリ15から得たあるチャートのデータをD/A変換し、さらに図10に示すDATAパルス生成部41によりこれを減衰したパルス(CCD_DATA)を出力する。(このパルスの振幅は可変であり、DACLKのパルス幅を変えることで、CCD_DATAのパルス幅を変えることもできる)。

【0076】

CCDout生成部14では、リセットパルス生成部12から得たパルス(CCD_RESET)とD/Aコンバータ17(の出力部のDATAパルス生成部41)から得たパルス(CCD_DATA)を合成し、これをCCDoutの映像信号として出力する(こ

50

こで、このCCDout全体のゲインは可変である)。

【0077】

本実施例1では、図5に示すように切り替えることで複数のCCDと等価なCCD等価負荷回路2を実現できるようにしているので、切り替える操作で簡単に異なる種類等のCCDに対する検査を行うことができる。つまり、従来例におけるヘッド治具85等を不要として、ビデオプロセッサ6におけるCCD駆動パルス発生回路8等の調整や、CDSパルスの位相調整といった調整を高い精度でしかも少ないバラツキで行うことができる。

【0078】

なお、CCD駆動パルスのパルス幅及び振幅調整やCDSパルスの位相調整及び振幅調整に関しては実施例2において詳しく説明する自動調整作業をオシロスコープ7による波形観測のもとで手動調整を行うことになる。

10

【0079】

また、挿入部長やスコープケーブルが異なる電子式内視鏡に搭載されたCCDの場合に対してもPLL/遅延回路13には遅延量を変更できる図13に示す遅延回路39を設けているので、切り替える操作を行うことにより挿入部長等が異なる内視鏡に搭載されたCCDの場合にも対応可能とするビデオプロセッサ6の場合にもその検査、調整を行えるようにしている。

【0080】

補足説明すると、本実施例1による例えばCDS調整の際のCCD水平転送パルス、CCDout、CDSサンプリングパルスSHP、SHDは図16(A)のようになり、これに対応する従来例は図16(B)のようになり、特に図16(A)と図16(B)とはCCDoutの波形が異なる。

20

【0081】

映像信号発生装置1を用いた場合には図16(A)に示すようにCCDoutの波形におけるリセット部、フィードスルー部、データ部の各境界が明確となる歪みの少ない映像出力波形にしている。

【0082】

このようにリセット部等の境界位置が明確となるため、CCD水平転送パルスの立ち上がりからCCDoutの立ち上がりまでの遅延回路により遅延する遅延時間 t_A や、リセットパルス生成部12で規定する時間 t_B やDACLK生成部16で規定するパルス幅 t_C 、フィードスルー部とデータ部との変化点 X を基準として設定される時間 t_D 、 t_E によるサンプリング信号SHP、SHDの調整が容易になると共に、精度の高い調整ができる。

30

【0083】

これに対して、従来例では図16(B)のようにCCDoutの波形が丸みを持って歪みが大きく、リセット部、フィードスルー部、データ部の各境界が不確定のため、サンプリング信号SHP、SHDの調整が困難になると共に、厳密な設定も困難である。また、個々のバラツキも大きくなる。

【0084】

また、従来例のヘッド治具85等を用いた検査では、CCD81が破損しないよう、細心の注意を払う必要があり、メンテナンスが非常に困難であったが、映像信号発生装置1はCCDを搭載していないため、従来例に比較してメンテナンスが容易である。

40

【0085】

また、映像信号発生装置1は同じものを複数台作ることが比較的簡単にできる。これに対して従来例のヘッド治具85を用いた検査では、1個のCCDを基準として調整を行う必要があると共に、個々のCCD毎に特性にバラツキがあるため、検査ラインは1ラインしか設けることができなかつた。

これに対して本実施例1によれば複数台の映像信号発生装置1を用いることができ、これによって、検査ラインを増やすことができ、製造の効率を向上することができる。

【0086】

50

また、映像信号発生装置 1 を用いた検査システムは、従来例における CCD による負荷やケーブルなどといった個々にバラツキを持つ不確定な要素を含んでいない為、映像信号発生装置 1 自体を定期的に校正することで、トレーサビリティの取れたシステムの下でビデオプロセッサ 6 の基板の調整、検査を行うことができる。その為、基板の調整のばらつきを極力抑えることができる。

【 0 0 8 7 】

従って、本実施例 1 は以下の効果を有する。

映像信号発生装置 1 を用いることによって、ヘッド治具 8 5 等を不用として、検査対象（調整対象）のビデオプロセッサ 6 における CCD に関係する箇所の調整、具体的には CCD 駆動パルス発生回路 8 の調整や、CDS パルスの位相調整等を簡単に行うことができるという効果がある。

10

【 0 0 8 8 】

また、本装置 1 には複数種類の CCD の等価負荷を搭載している為、複数種類のヘッド治具を用いることなく、本装置 1 のみで複数種類の CCD に対応する検査、調整を簡単に行うことができる。つまり、従来例ではコネクタの着脱等やチャートの交換等、手間がかかる作業が必要であったが、切替スイッチを切り替える作業で済み、検査、調整等をより簡単に行うことができる。

【 0 0 8 9 】

また、本装置 1 から出力された映像信号を患者基板 6 A 側で観測した時、従来例と比べて歪が少ない波形で出力できる為、CDS パルスの位相調整等が容易であり、かつ調整のばらつきが少なくできるし、高精度に調整ができる。

20

また、従来のヘッド治具 8 5 等を用いた検査に比較して、メンテナンスが容易である。

また、映像信号発生装置 1 は同じものを複数台作ることが比較的簡単にできる。

【 0 0 9 0 】

従来例に比較して映像信号発生装置 1 自体を校正することで、トレーサビリティの取れた状態で検査等を行うことができ、ビデオプロセッサ 6 の基板の調整のばらつきを極力抑えることができる。

【 実施例 2 】**【 0 0 9 1 】**

次に図 1 7 ~ 図 2 2 を参照して実施例 2 の映像信号発生装置を説明する。図 1 7 は実施例 2 の映像信号発生装置 1 B の構成を示す。本実施例 2 では、制御等を行う制御装置として例えばパーソナルコンピュータ（パソコンと略記、図 1 7 等では PC と略記）5 0 を用いて検査対象となるビデオプロセッサ 6 の検査調整をより簡単に行えるようにした検査システム 5 1 を形成している。

30

【 0 0 9 2 】

本実施例 2 では、図 1 の場合と同様に映像信号発生装置 1 B はそのコネクタ 4 が接続ケーブル 5 を介して検査対象となるビデオプロセッサ 6 に接続されている。このビデオプロセッサ 6 の映像出力端にはモニタ 5 2 が接続され、このモニタ 5 2 にはさらに計測を行う計測器（1）5 3 a、計測器（2）5 3 b、... が接続されている。

【 0 0 9 3 】

また、本実施例 2 では映像信号発生装置 1 B 及びビデオプロセッサ 6 は、これらを制御するパソコン 5 0 と接続され、また計測器（1）5 3 a、計測器（2）5 3 b、... もパソコン 5 0 と接続され、パソコン 5 0 は計測器（1）5 3 a、計測器（2）5 3 b、... による計測結果のデータ収集や、計測器（1）5 3 a、計測器（2）5 3 b、... の制御も行う。

40

【 0 0 9 4 】

図 1 8 は図 1 7 における構成をより具体的に示したものである。

ビデオプロセッサ 6 はタイミングジェネレータ（TG と略記）6 1 により発生したパルス幅が調整された駆動パルス生成用クロック 6 1 a を駆動パルス生成部 8 に出力すると共に、この TG 6 1 は位相調整された CDS パルス 6 1 b を CDS 回路 6 2 に出力する。

50

【0095】

このCDS回路62には、CCD等価負荷回路2から出力されるCCDoutを増幅するプリアンプ63を経て信号が入力される。

また、このビデオプロセッサ6には、駆動パルス生成部8の電源電圧を制御する信号64aを出力するゲインコントロール回路64が設けてある。

【0096】

そして、パソコン50はビデオプロセッサ6内のTG61、CDS回路62、ゲインコントロール回路64を制御する制御信号を出力する。

つまり、パソコン50はTG61に対しては、駆動パルス幅制御信号50aと、CDSパルス位相制御信号50bを出力する。また、パソコン50はCDS回路62に対してはCDSゲイン制御信号50cを出力する。また、パソコン50はゲインコントロール回路64に対しては駆動パルスゲイン制御信号50dを出力する。

10

【0097】

そして、ビデオプロセッサ6における駆動パルス生成部8は駆動パルス8aを接続ケーブル5を経て、映像信号発生装置1BのCCD等価負荷回路2に印加する。このCCD等価負荷回路2に印加された駆動パルス8aは映像信号発生回路3を経てCCDoutの出力信号となり、接続ケーブル5を経てビデオプロセッサ6のプリアンプ63に入力される。

【0098】

また、CCD等価負荷回路2に印加された駆動パルス8aは同軸ケーブル65により減衰された駆動パルス65aとなって計測器(3)53cに入力され、計測される。この計測器(3)53c及び他の計測器(1)53a、計測器(2)53bはパソコン50に接続され、制御されると共に、収集したデータをパソコン50に送る。

20

【0099】

なお、TG61からCDS回路62に出力されるCDSパルス61bは、例えば入力信号及び出力信号のチャンネル切り替え機能を備えた計測器(3)53cにも入力され、その計測データはパソコン50に送られる。また、CDS回路62から出力される信号も、入力信号及び出力信号のチャンネル切り替え機能を備えた計測器(3)53cにも入力され、その計測データはパソコン50に送られる。

この場合、計測器(3)53cの代わりに図示しない計測器(4)にて計測して、計測器(4)で計測された計測データをパソコン50に送るようにしても良い。

30

【0100】

また、パソコン50は映像信号発生装置1Bと接続され、映像信号発生装置1BにおけるCCD等価負荷回路2の切替や映像信号発生回路3の切替等の制御を行う。

【0101】

例えば図5では複数のCCD等価負荷回路Z1、Z2、...、Znに接続された切替スイッチ21a、21bは手動で切り替えられていたが、本実施例2では図19に示すようにパソコン50からの制御信号により切り替えられるようにしている。つまり、切替ボタン22の代わりに制御信号で切替スイッチ21a、21bを切り替えるようにしている。

【0102】

なお、図6に示したように可変抵抗R1を電子ボリュームで形成してパソコン50からの制御信号でその抵抗値を可変設定することにより、複数種類のCCDに等価な負荷回路を実現しても良い。なお、コンデンサC1は例えば可変容量ダイオードで形成し、この可変容量ダイオードの容量値をパソコン50からの制御信号で可変設定する。

40

【0103】

また、図13に示した遅延回路39a、39b、...、39nも同様にパソコン50からの制御信号により切り替えられるようにしている。この場合、図5に対する図19とほぼ同様の変更であるので図示しないで、代わりに図9のPLL/遅延回路13の遅延回路39を制御信号で切替制御できるようにしたPLL/遅延回路13Bを図20に示す。

【0104】

50

図20における遅延回路13Bは切替スイッチ23a、23bの間に2つの遅延回路39a、39bが設けてあり、パソコン50からの制御信号により切り替えられるようにしている。

【0105】

なお、遅延回路39a、39bは図9における遅延回路39において、抵抗R65、コンデンサC25の値を換えて遅延量を変更設定したものである。図20では簡単化のため、2つの遅延回路39a、39bを切り替える例で示しているが、3つ以上でも同様に切り替えられるようにできる。

【0106】

また、図21に示すPLL/遅延回路13Cのように1つの遅延回路39により遅延量を変更できるようにしても良い。例えば、遅延回路39を構成する抵抗R65は電子ボリュームで形成され、その値はパソコン50の制御信号で可変設定できるようにしている。

【0107】

また、図22に示すように図20と図21とを組み合わせたとようなPLL/遅延回路13Dのような構成にしても良い。つまり、このPLL/遅延回路13Dでは図20における遅延回路39a及び39bをそれぞれ構成する抵抗R65a、65bをそれぞれ可変抵抗R65a、R65bにした遅延回路39a及び39bにしている。

【0108】

これら可変抵抗R65a、R65bを電子ボリュームで構成することにより、パソコン50からの制御信号でその抵抗値を可変制御でき、所望とする遅延量に可変設定できる。

次にこのようにパソコン50により制御を行うようにしてビデオプロセッサ6の基板の検査の自動化を行う動作を説明する。

【0109】

(A) 駆動パルス調整

ビデオプロセッサ6の駆動パルス生成部8から駆動パルス8aが出力される。また、接続用ケーブル5を介して本装置1BのCCD等価負荷回路2(及びアッテネータ)に入力される。

【0110】

そして、アッテネータを経て所望の値に減衰された信号65aが本装置1Bから同軸ケーブル65を経て計測器(3)53cに入力され、駆動パルス8aが計測される。計測器(3)53cは計測データをパソコン50に送る。

【0111】

パソコン50は予め内部の記憶手段に格納していた(最適な)目標値データと計測器(3)53cから得たデータとを比較し、それらのパルス幅の差のデータ(信号50a)、と振幅の差のデータ(信号50d)をビデオプロセッサ6に送る。

【0112】

ビデオプロセッサ6に入力された信号50aはTG61に入力され、TG61内のD/Aコンバータでアナログ量に変換され、これがTG61内のPLLの制御電圧となる。そして、TG61内のVCOは駆動パルス8aの基となるクロックのパルスを変化させ、これを駆動パルス生成部8に出力する。

【0113】

そして、駆動パルス生成部8から出力される駆動パルス8aのパルス幅を最適値に自動調整する。

【0114】

また、上記信号50dはゲインコントロール回路64に入力され、このゲインコントロール回路64内のD/Aコンバータでアナログ量に変換され、これが駆動パルス生成部8のアンプに電源電圧を制御する信号64aとして出力される。これが駆動パルス生成部8の電源電圧となる。そして、駆動パルス8aの振幅の値(レベル)を最適な値に自動調整

10

20

30

40

50

する。

このようにして駆動パルスの自動調整が行われる。

【0115】

(B) CDSパルスの調整

ビデオプロセッサ6の駆動パルス生成部8から駆動パルス8aが出力され、接続用ケーブル5を介して本装置1BのCCD等価負荷回路2(及びアッテネータ)に入力される。

そして本装置1BのCCDout生成部から接続ケーブル5により伝送され、ビデオプロセッサ6のプリアンプ63を介してCDS回路64に入力される。

【0116】

また、TG61で生成されたCDSパルス61bとCCDoutは計測器(3)53cにより計測され、計測データはパソコン50に送られる。 10

パソコン50は予め内部の記憶手段等に格納していた(最適な)目標値データと計測器(3)53cから得たデータとを比較し、その差を少なくするような(CDSパルス位相)制御信号50bをビデオプロセッサ6に送る。

【0117】

ビデオプロセッサ6に送られた制御信号50bはTG61に入力され、CDSパルス61bの位相を変化させ、この変化させたCDSパルス61bをCDS回路62に出力するようになる。

このようにして、ビデオプロセッサ6のTG61から出力されるCDSパルス61bは最適なタイミング(位相)で出力されるように自動調整される。 20

【0118】

(C) CDSゲイン調整

CDS回路62の出力は計測器(3)53cで計測され、この計測器(3)53cで計測されたデータはパソコン50に送られる。

【0119】

パソコン50は予め内部の記憶手段等に格納していた(最適な)目標値データと計測器(3)53cから得たデータとを比較し、その差を少なくするような(CDSゲイン)制御信号50cをビデオプロセッサ6に送る。

【0120】

ビデオプロセッサ6に送られた制御信号50cはCDS回路62に入力され、CDS回路62はこの制御信号50cによりそのゲインを変化させて、サンプリングしたデータ部の信号を出力する。 30

このようにして、CDS回路62は最適なレベルでCDS出力信号を出力するように自動調整される。

【0121】

なお、ビデオプロセッサ6におけるTG61、CDS回路62等の各回路にはこのように最適な状態に調整された後には、その状態を記憶する記憶回路が設けてある。例えば、パソコン50は内視鏡の種類とCCDの種類等に対応した情報と共に制御信号を送り、ビデオプロセッサ6は内視鏡の種類とCCDの種類等に対応した情報と関連付けて最適な値に設定する制御信号の値、或いは設定値を記憶する。 40

【0122】

従って、調整後には内視鏡が接続されると、その内視鏡の種類及びその内視鏡に搭載されたCCDに応じて最適な設定値を記憶回路から読み出し、ビデオプロセッサ6におけるTG61、CDS回路62等を最適な状態に設定できる。

また、映像信号発生装置1はパソコン50で制御できる為、CCDの種類、ケーブル遅延量の切り替え、チャートの切り替え等を自動で行うことができるようになり、検査工数を大幅に削減することができる。

【0123】

具体的には、図19に示すように各種CCDにそれぞれ等価なCCD等価負荷回路Z1、Z2、...の切り替えはパソコン50からの制御信号によりリレー21a、21bを連動 50

して切り替えることにより、各種のCCDに対応した検査（調整）を自動的に行えるようにしている。

【0124】

また、図20に示すようにPLL/遅延回路13Bにおける（ケーブル長に対応して設定された）遅延量が異なる遅延回路39a、39bをパソコン50からの制御信号で切替スイッチ（或いはリレー）23a、23bを連動して切り替えられるようにしているので、ケーブル長が異なる内視鏡等に対応できるようにしている。

【0125】

さらに、実施例1で説明したように映像信号発生装置1BにもROM等で構成されるメモリには、白、カラーバー、グレースケール等、複数のチャートのデータが格納されており、これらのデータはパソコン50からの制御信号で簡単に切り替えることができる。その為、検査の自動化が図れる。

10

【0126】

本実施例2によれば、実施例1の効果を有すると共に、さらに実施例1における検査、調整の切り替え作業や調整作業を自動的に行うことが可能となる効果がある。

また、自動化することにより簡単かつ短時間にビデオプロセッサ6の検査、調整を行うことができると共に、パラッキの少ない高精度の調整も可能となる。また、ビデオプロセッサを低コストで提供することができる。

【実施例3】

【0127】

次に本発明の実施例3を図23を参照して説明する。図23はCPU71を用いてCCDoutの信号生成処理を行うようにした映像信号発生装置1Cの構成を示す。

20

【0128】

この映像信号発生装置1Cは、ビデオプロセッサ6から出力される駆動パルス（その波形をW11として円形部で表示）を受け、CCDと等価な負荷回路を有するCCD等価負荷回路72と、このCCD等価負荷回路72で終端された駆動パルスを受けて、3値の波形の信号データ（その波形をW12として円形部で表示）を出力するCPU73と、このCPU73から出力される信号データをアナログ信号に変換し、振幅及びレベルを所望の値に変化させてCCDoutの出力信号（その波形をW13として円形部で表示）を出力するD/Aコンバータ74とを有する。

30

【0129】

また、この映像信号発生装置1Cは、CCD等価負荷回路72で終端された駆動パルスを受け、この駆動パルスと同期したクロックを生成し、スコープケーブルに主に起因するケーブル遅延量を付加し、CPU73に出力するPLL/遅延回路75と、このPLL/遅延回路75で生成された基準クロックの位相を調整し、D/Aコンバータ74に出力するDACLK生成部76とを有する。

【0130】

本実施例3におけるCCD等価負荷回路72としては、図5或いは図19で構成できる。図19の場合にはCPU73からの制御信号で各種CCDに対応したCCD等価負荷回路Z1、Z2、...を選択できる。

40

【0131】

また、PLL/遅延回路75は図20、図21、図22等で構成でき、やはりCPU72からの制御信号でケーブル遅延量に対応する遅延回路を選択設定できる。

【0132】

そして、CPU73を図示しないプログラムに従って動作させることにより、CCDの種類やケーブル遅延量が異なる場合にもヘッド治具を必要としないでビデオプロセッサ6の検査、調整を行うことができる。

【0133】

つまり、本実施例3は実施例1と同様の効果を有すると共に、さらに実施例1よりもCCD等価負荷回路71の切替や、ケーブル長による遅延時間に相当する遅延量を発生させ

50

る遅延回路の選択切替等をより簡単に行うことができる。

【0134】

なお、上述した各実施例は、検査対象となるビデオプロセッサ6としてNTSC/PAL/SECAMの信号規格のいずれに対しても対応できる。つまり、本発明における映像信号発生装置は、NTSC/PAL/SECAMの信号規格のいずれに対しても対応できる映像信号を発生できる。

【0135】

例えば、実施例2において、ビデオプロセッサ6として実際に使用される或いは設定されているNTSC/PAL/SECAMの信号規格に応じて、パソコン50からの制御信号により、映像信号発生装置1Bによる映像信号発生回路3側を制御すると共に、ビデオプロセッサ6側も制御するようにしても良い。

10

【0136】

また、ビデオプロセッサ6としてNTSC/PAL/SECAMのいずれの信号規格にも対応したものである場合には、NTSC、PAL、SECAMの各信号規格に順次切り替えるように制御して、映像信号発生装置1B及びビデオプロセッサ6を自動で制御するようにしても良い。

【0137】

また、上述の説明では、CCDとしては、そのCCDの撮像面の前に光学的に色分離するフィルタを備えたCCD、つまり白色照明の下でカラー撮像が可能なCCDを備えた内視鏡に対する撮像及び信号処理を行う同時式のビデオプロセッサを検査対象として説明したが、本発明はこれに限定されるものでなく、面順次で撮像及び信号処理を行う面順次方式のビデオプロセッサを検査対象とする場合にも適用できる。

20

【0138】

つまり、本発明は同時式及び面順次式のビデオプロセッサに対する検査に使用できる映像信号発生装置を提供できる。このため、例えば同時式及び面順次式のビデオプロセッサに応じてパソコン50により映像信号発生装置1Bによる映像信号発生回路3側を制御すると共に、ビデオプロセッサ6側も制御するようにしても良い。

【0139】

なお、上述した各実施例1~3等を部分的に組み合わせる等して構成される実施例等も本発明に属する。

30

また、本発明の映像信号発生装置は固体撮像素子を搭載した内視鏡及びテレビカメラの検査、調整にその用途が限定されるものでなく、他の映像機器の検査にも広く適用することができる。

【0140】

[付記]

1. 請求項1において、前記映像信号生成回路は前記固体撮像素子の出力信号とほぼ等価な映像信号を生成する。

2. 請求項1において、前記映像信号生成回路は前記固体撮像素子の出力信号とほぼ等価で、より歪みの少ない波形の映像信号を生成する。

(付記2の効果)歪みが少ないので、検査、調整が容易となる。

40

【0141】

3. さらに前記映像信号発生装置は、前記固体撮像素子を駆動する駆動信号を生成する駆動信号生成部と、前記駆動信号の印加により前記固体撮像素子から出力される出力信号に対応する前記映像信号に対して標準映像信号を生成するための信号処理を行う信号処理部とを備えた映像信号処理装置に着脱自在に接続されるコネクタを有する。

4. 前記映像信号処理装置は体腔内等に挿入され、固体撮像素子を備えた電子式内視鏡と接続されて内視鏡検査に使用される内視鏡用ビデオプロセッサである。

【産業上の利用可能性】

【0142】

固体撮像素子の等価負荷回路と等価的な映像信号発生回路を備え、固体撮像素子を搭載

50

しないで、内視鏡用ビデオプロセッサの検査、調整を簡単に行えるようにしている。

【図面の簡単な説明】

【0143】

【図1】本発明の実施例1の映像信号発生装置の概略の構成図。

【図2】映像信号発生装置の各部の構成を波形図と共に示すブロック図。

【図3】CCD等価負荷回路の回路図。

【図4】従来例と比較してビデオプロセッサを検査する様子の説明図。

【図5】各種のCCDに対応したCCD等価負荷回路の回路図。

【図6】図5の変形例に相当するCCD等価負荷回路の回路図。

【図7】図2のCCD等価負荷回路及びアッテネータの具体的な回路構成を示す回路図。 10

【図8】図2のリセットパルス生成部の具体的な回路構成を示す回路図。

【図9】図2のPLL/遅延回路の遅延回路を具体的に示す回路図。

【図10】図2のD/Aコンバータの出力部に設けたD/AコンバータDATA生成部の具体的な回路構成を示す回路図。

【図11】図2のCCDout生成部の具体的な回路構成を示す回路図。

【図12】映像信号発生装置のPLL/遅延回路に遅延回路が設けてあることを示す図。

【図13】図12の遅延回路の遅延量が実際には切り替えて選択可能な構成であることを示す回路図。

【図14】図8のリセットパルス生成部におけるパルス幅を可変にした変形例の具体的な回路構成を示す回路図。 20

【図15】図8のリセットパルス生成部におけるパルス幅をディレイラインを用いて可変にした変形例の具体的な回路構成を示す回路図。

【図16】従来例と比較して実施例1で生成されるCCDoutの出力波形やこの出力波形によりCDSパルスの位相調整の様子の説明図。

【図17】本発明の実施例2の映像信号発生装置の概略の構成図。

【図18】図17のより詳細な構成を示すブロック図。

【図19】各種CCDと等価なCCD等価負荷回路の構成を示す回路図。

【図20】PLL/遅延回路の構成例を示す回路図。

【図21】図20の変形例のPLL/遅延回路の構成例を示す回路図。

【図22】図20の変形例のPLL/遅延回路の構成例を示す回路図。 30

【図23】本発明の実施例3の映像信号発生装置の概略の構成図。

【図24】CCDの出力信号に対する相関2重サンプリングするCDSパルスの調整の様子の説明図。

【図25】従来例におけるビデオプロセッサの検査、調整に用いられるヘッド治具を示す図。

【図26】従来例における複数種類のCCDに対応するビデオプロセッサの検査、調整に用いられる複数のヘッド治具等を示す図。

【図27】従来例における複数種類のCCDに対応するビデオプロセッサの検査、調整に用いられる複数のヘッド治具を用いて検査する様子の説明図。

【図28】従来例におけるヘッド治具出力がケーブル遅延のためビデオプロセッサに入力されるタイミングに遅延が生じる様子の説明図。 40

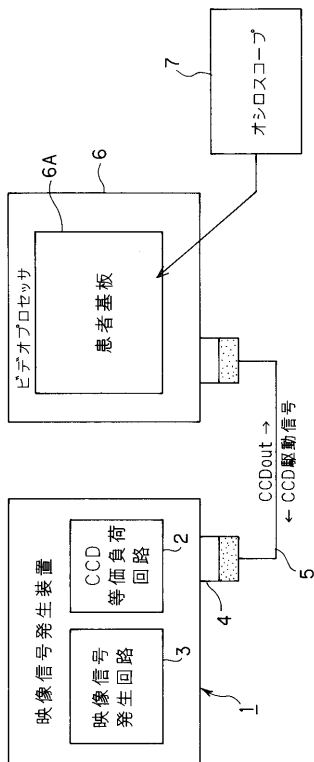
【符号の説明】

【0144】

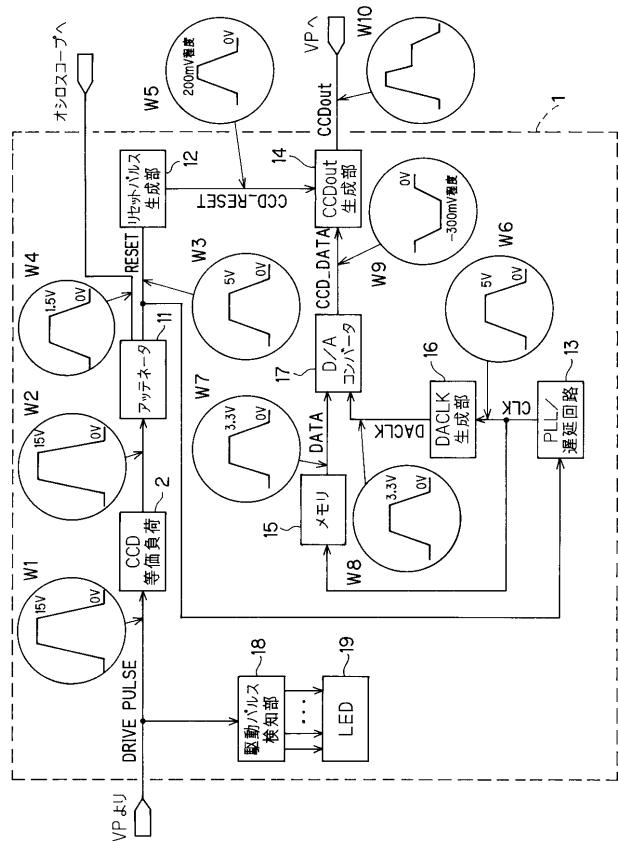
- 1 ... 映像信号発生装置
- 2 ... CCD等価負荷回路
- 3 ... 映像信号発生回路
- 4 ... コネクタ
- 5 ... 接続ケーブル
- 6 ... ビデオプロセッサ
- 6 A ... 患者基板

- 7 ... オシロスコープ
 - 8 ... CCD 駆動パルス生成部
 - 11 ... アッテネータ
 - 12 ... リセットパルス生成部
 - 13 ... PLL / 遅延回路
 - 14 ... CCDout 生成部
 - 15 ... メモリ
 - 16 ... DACLK 生成部
 - 17 ... D/Aコンバータ
 - 18 ... 駆動パルス検知部
 - 19 ... LED
 - 31 ... パルス幅調整回路
 - 32 ... リセットパルス調整回路
 - 38 ... PLL 回路
 - 39 ... 遅延回路
 - 50 ... パソコン
- 代理人 弁理士 伊藤 進

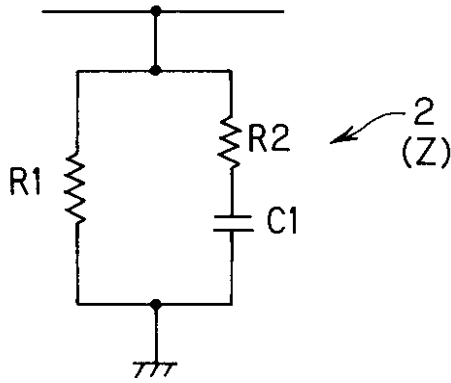
【 図 1 】



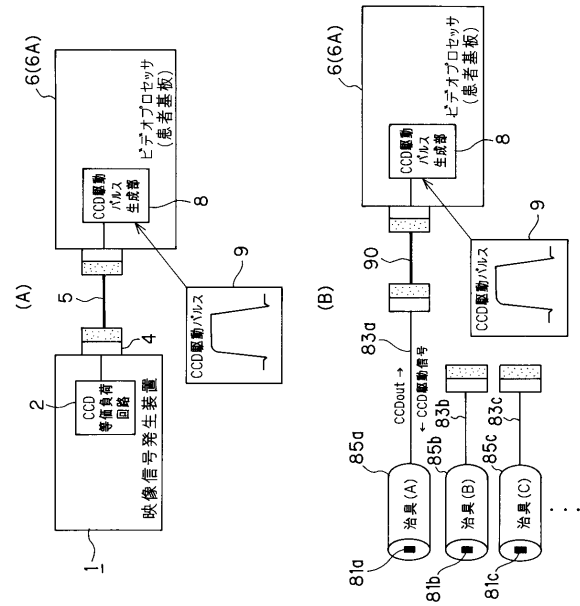
【 図 2 】



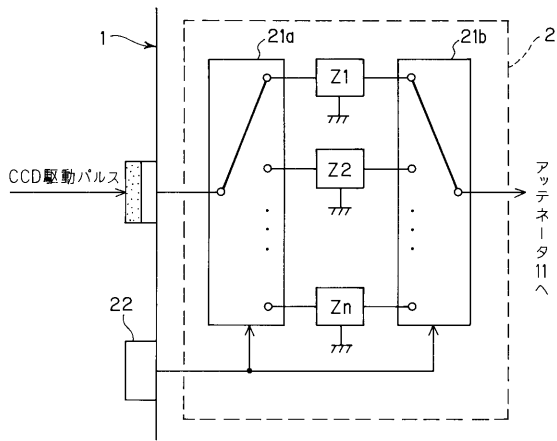
【図3】



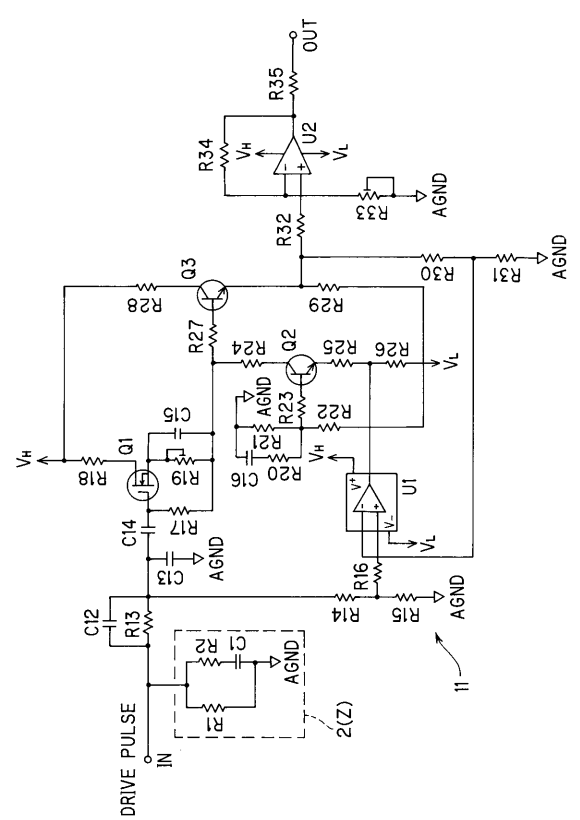
【図4】



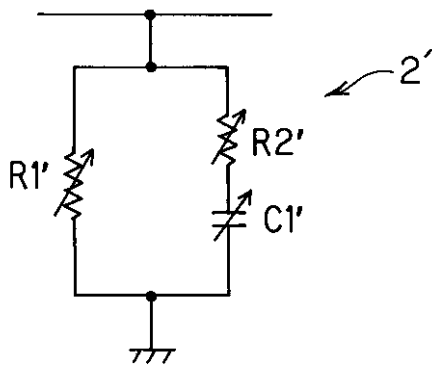
【図5】



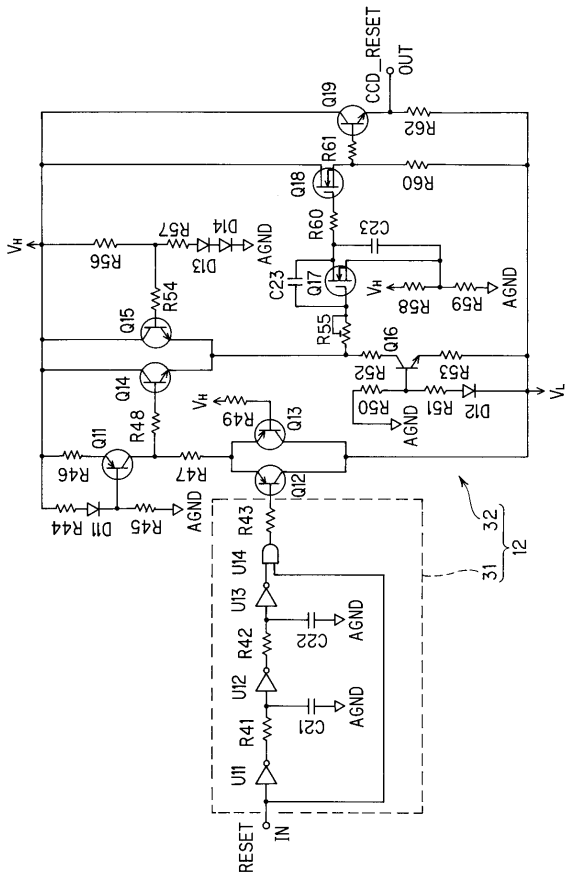
【図7】



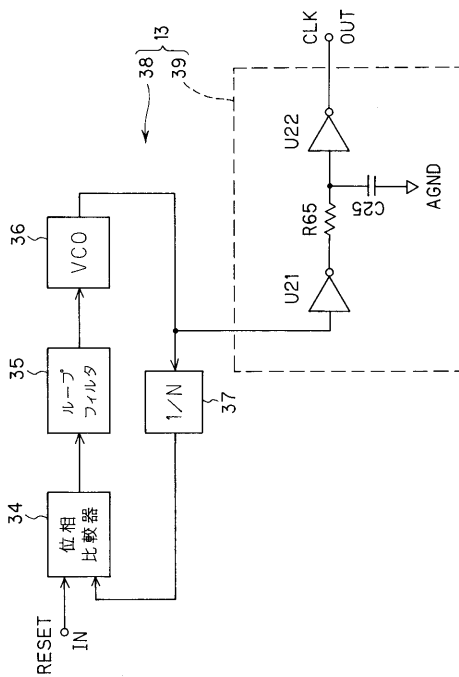
【図6】



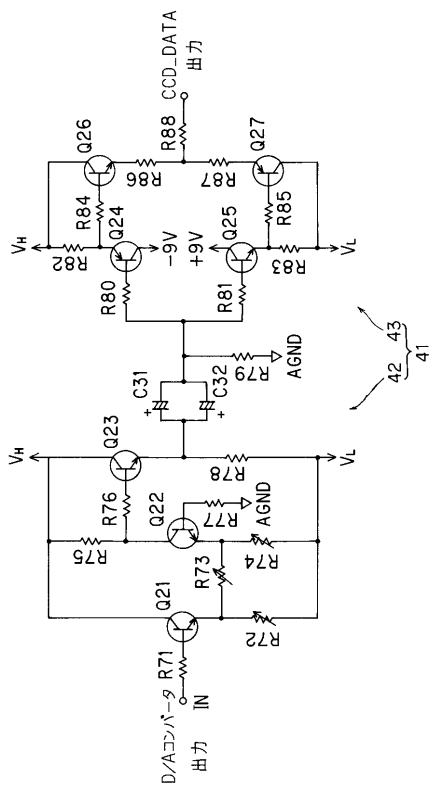
【図8】



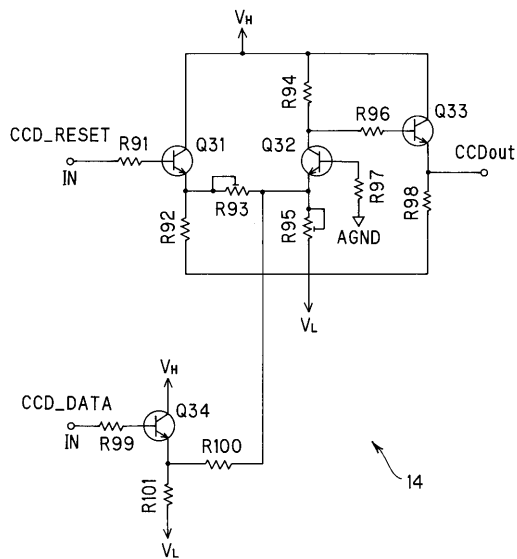
【図9】



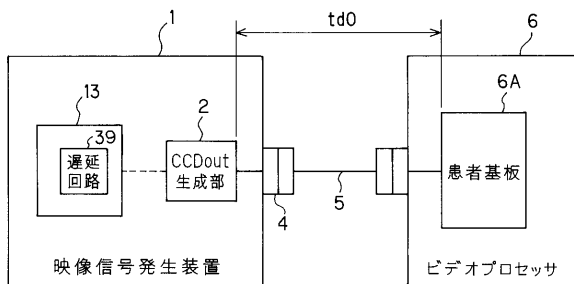
【図10】



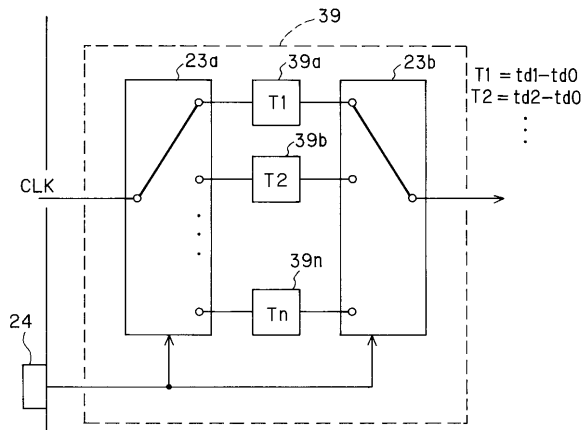
【図11】



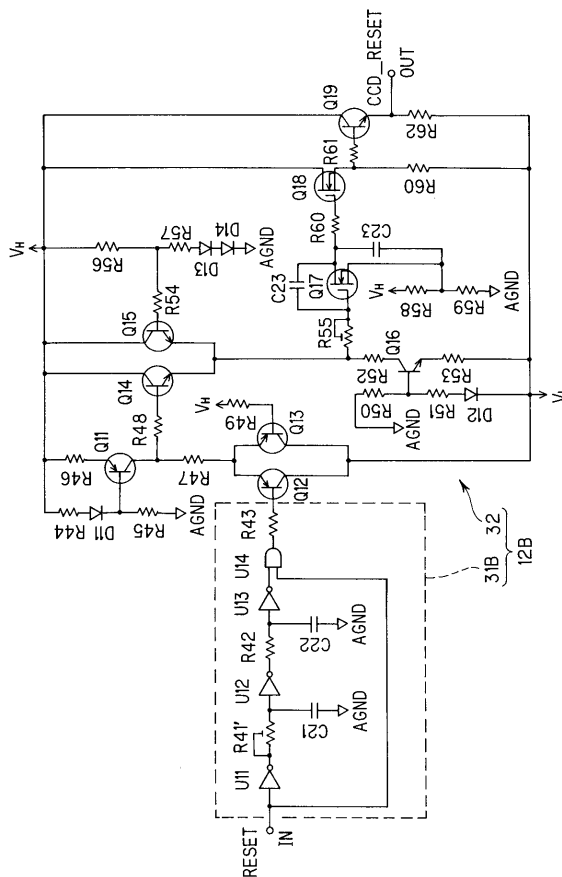
【図12】



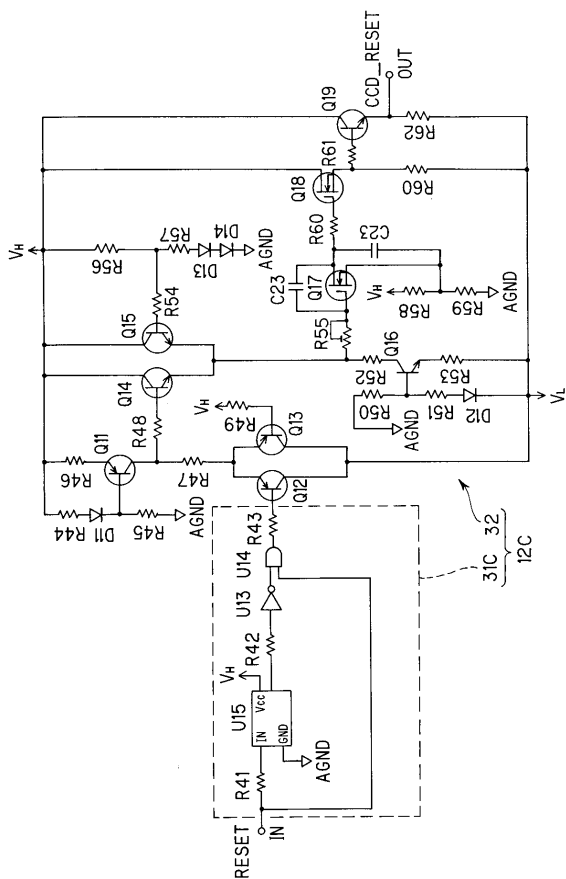
【 図 1 3 】



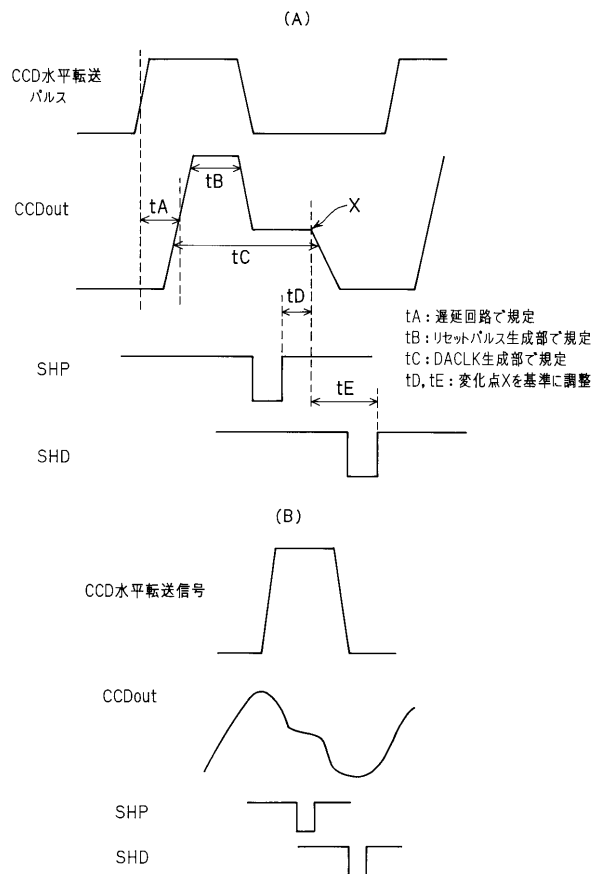
【 図 1 4 】



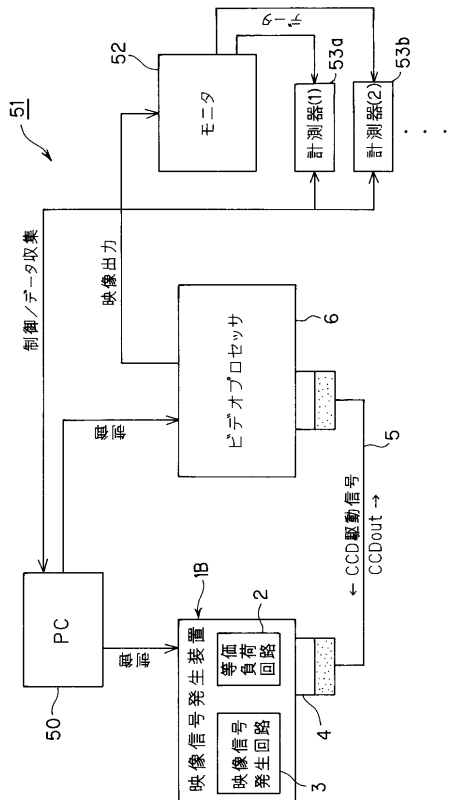
【 図 1 5 】



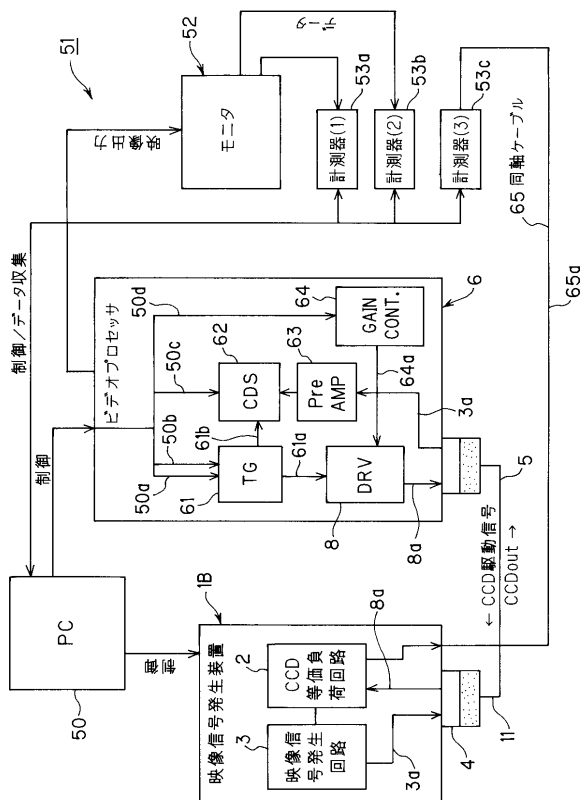
【 図 1 6 】



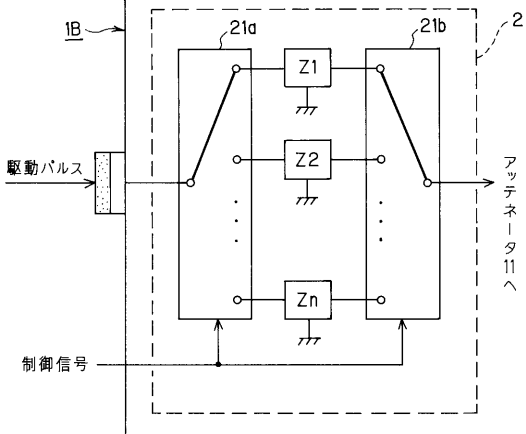
【 図 17 】



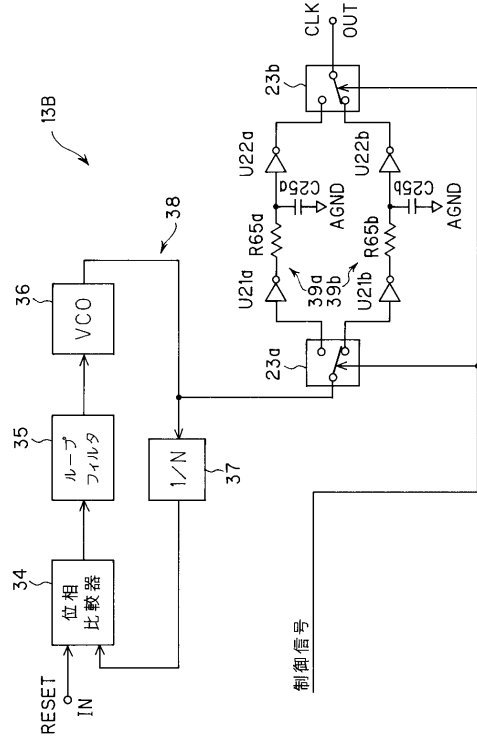
【 図 18 】



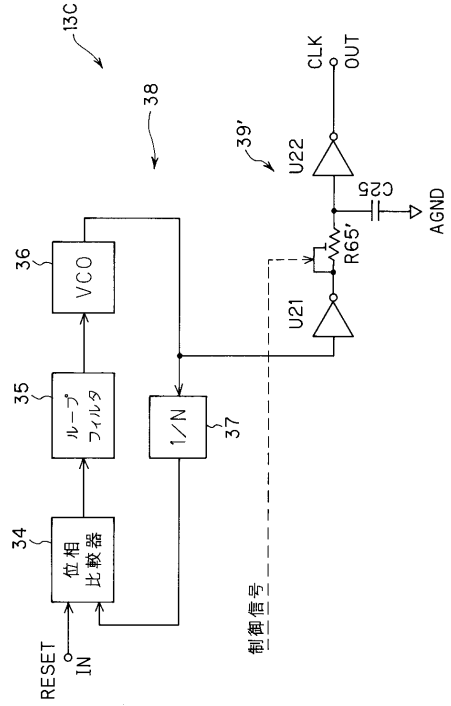
【 図 19 】



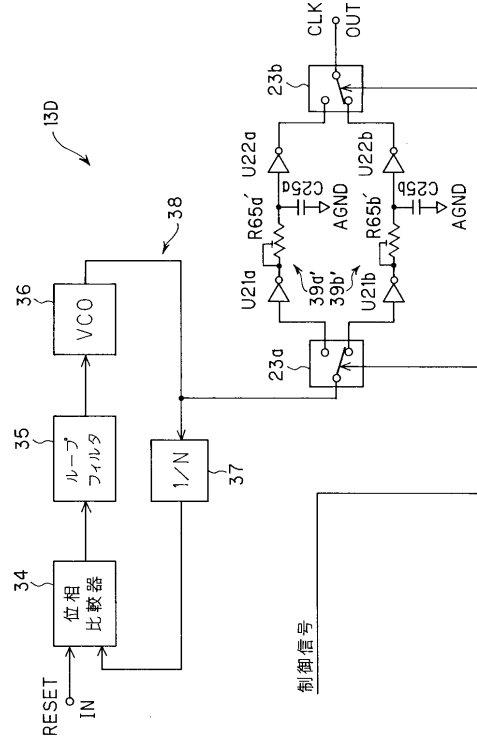
【 図 20 】



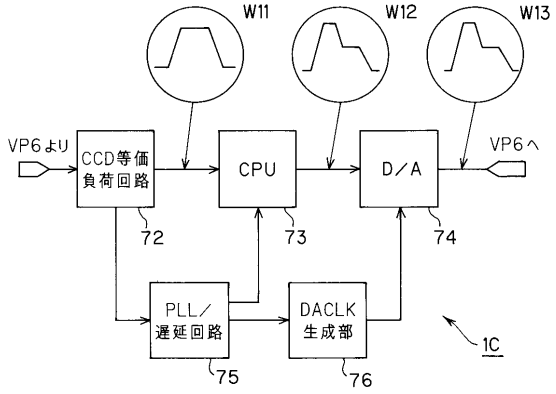
【図 2 1】



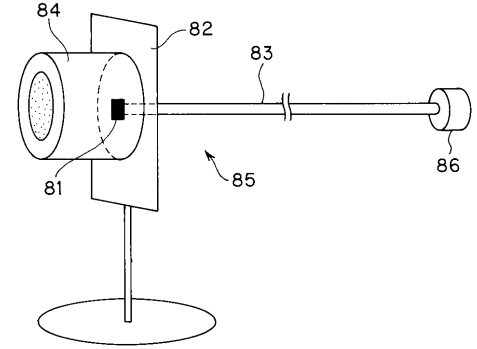
【図 2 2】



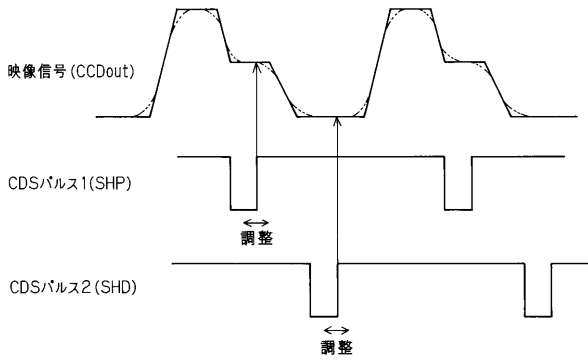
【図 2 3】



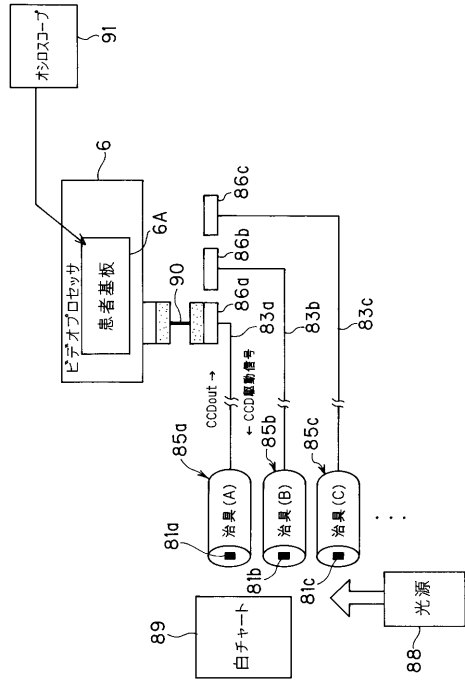
【図 2 5】



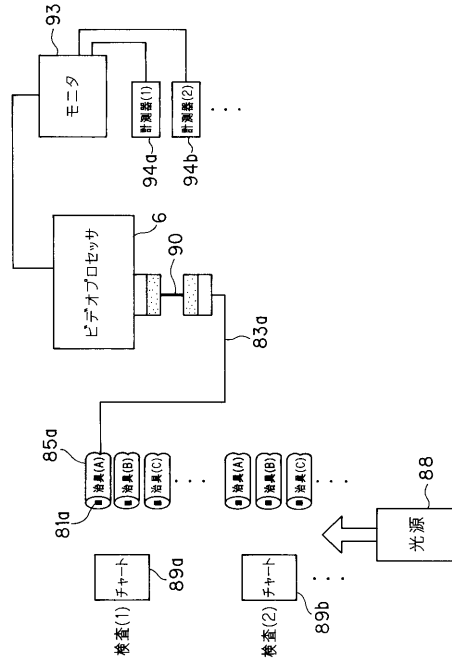
【図 2 4】



【図 26】



【図 27】



【図 28】

